

MICROPROCESSOR *report*

Insightful Analysis of Processor Technology

Ceva XC16領先5G部署

受惠於動態多線程功能的新式無線架構

作者：Mike Demler (2020.03.23)

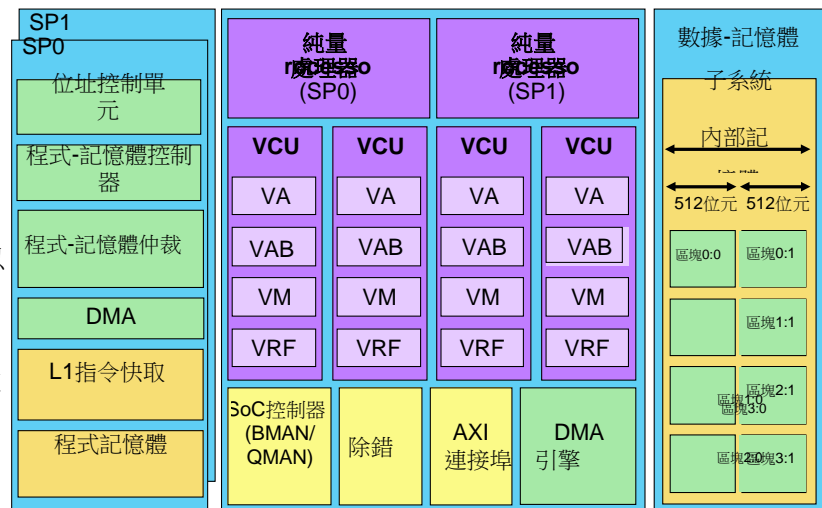
Ceva XC16是採用Ceva第四代XC架構的首批產品，此一架構新增動態可配置多核/多線程等功能。本設計涵蓋兩組八向VLIW內核，依Ceva的定義則是配備四組向量運算單元(VCU)的純量處理器(SP)。進行運算時，可用軟體配置本處理器的SP及VCU為兩組對稱的雙向量(DV)處理器，或將四個VCU分配給單一SP，以形成一個四向量(QV)處理器（搭配一個控制作業專用的SP）。

XC16是以Ceva上一代XC12 DSP及2016年推出的X4基頻控制器為基礎。新設計的架構性能比前代產品高出2.5倍。Ceva除為5G客戶優化XC16之外，也提供新式蜂窩網路拓撲，包括電信行業的OpenRAN（開放式無線接入網路）計劃，以便以軟體定義的技術構建泛設備廠商的系統。軟體的可配置性是Ceva DSP的重大里程碑。底層的XC架構還可應用於AI、雷射雷達/雷達信號處理、以及Wi-Fi存取點。

XC16的動態多線程功能可提高新興5G應用的效率。例如，在Ceva所模擬優化16組使用者鏈接的4x4頻道估算作業環境中，架構上類似單核XC12的QV模式，故在支持單一使用者時，需要兩倍的控制負荷週期。但在DV模式下，則可將控制和向量運算分配到兩個內核，以致總負荷減少約30%。

由於3GPP開發新版蜂窩網路標準耗時經年累月，因此IP廠商只能在規範制定的同時創建新內核。Ceva的XC16設計，可依預計在2020年Q2定案的規範Release 16（也稱為5G Phase 2）、以及2021年Q4定案的規範Release 17（請參閱MPR 2020.03.09 出刊的「請進入5G大未來」一文）進行軟體配置。Ceva正與某家領導廠商開發XC16，預計在2020年Q2進行一般授權，而較早期的

設計已獲諾基亞和中興通訊使用，Ceva聲稱還有第三家基礎設施客戶（可能是愛立信）。基於新IP的首批硬體將在2021上半年投入生產。



2 Ceva XC16領先5G部署

圖1 Ceva XC16 DSP. 本設計將兩組純量處理器(SP)及四組向量運算單元(VCU)整合在一起。XC16與其前身不同，可用軟體動態分配VCU，成為具有獨立單一純量內核的1280位元、或兩組對稱的640位元SIMD/VLIW引擎。

價格及供貨

一般XC16授權預計在2020年Q2開始。Ceva目前不便透露價格。進一步的資料請參考Ceva官網，位址為www.ceva-dsp.com/product/ceva-xc16/。

5G Phase 2的強心針

XC16採用雙核八槽SIMD、執行256位元VLIW指令的設計。如圖1所示，XC16整合兩組VLIW CPU (SP0及SP1)和四組向量運算單元(VCU)。其中SP與Ceva的BX2 DSP類似（請參閱MPR 2019.02.04 出刊的「Ceva的BX混合產品激發DSP引擎效能」一文）。此一SP執行RTOS，且可用LLVM為基礎的編譯器進行C語言編程。兩組內核均可處理平行程式線程，各有進行的指令以提取及解碼的程式控制單元(PCU)。

各SP有自己的程式-記憶體子系統(P-MSS)，每一週期可執行多達四組純量及四組向量作業（後者在VCU內執行）。程式設計人員可配置與各P-MSS緊密耦合的元件包括：256KB記憶體(TCM)、一組DMA單元、多達128KB的指令快取。純量作業採用四組算術單元、一組載入單元、一組載入/儲存單元。載入/儲存單元處理128-位元、位元組對齊的記憶體存取。算術單元可處理8-、16-、32-、48-、64-位元整數，以及支援半精度或全精度的選配FPU。7nm製程的SP時脈可高達1.8GHz。

VCU可用三組算數單元（如圖1所示的VA、VAB、VM）、一組載入單元、一組載入/儲存單元，在每一週期進行四組向量作業。與XC12相同，各VCU在320位元向量，以8-、16-、32-位元數據，以及Ceva獨家的20-及40-位元浮點數據進行SIMD作業（請參閱MPR 2017.03.04 出刊的「Ceva用XC12準備進軍5G」一文）。320位元向量可對8組40位元或16組20位元結果進行中間累加。向量暫存器檔案(VRF)內含32組(VRF)，容量達前身產品的兩倍。某些處理器架構將暫存器檔案分割為特定子集合，而Ceva採用對編譯器有利的做法，其正交暫存器可使用全部向量指令於任一個暫存器。

VA單元內含32組INT16乘積累加運算(MAC)單元，但在VB單元另加一組32 MAC單元，並改名為VAB，使得XC16的總MAC通量可達XC12的兩倍。XC16新增的向量指令進一步加速FFT的蝶式運算。除MAC作業外，VAB還可執行其他向量算數、逐位元和非線性功能；VM單元可執行向量移動、加封/解封、標度運算，這些單元都可平行在全

部四組VCU運算。例如：XC16每一週期共可執行256組MAC運算、VM另加128組運算。

XC16的動態多線程功能，可使各內核在「區區幾個」週期內互相切換DV及QV模式。在QV模式下，全部四組VCU可在虛擬的1280位元向量執行同一指令。在DV模式下，VCU可以兩對獨立的單元，在640位元向量執行不同的指令。

D-MSS可配置為達1.5MB的TCM。純量及向量管線各有其載入/儲存單元。向量數據路徑寬達為2048位元，在QV模式下，每一週期可載入兩組1024位元向量、或載入及儲存各一組1024位元。在DV模式下，D-MSS每一週期可執行四組512位元載入或儲存。多維DMA引擎可在TCM及外部記憶體間進行2D及3D數據傳輸。個別Ceva-Connect緩衝及佇列管理器(BMAN/QMAN)在硬體加速器間進行數據傳輸（請參閱MPR 2016.07.03 出刊「Ceva以5G為目標的新款X-世代DSP」一文）。

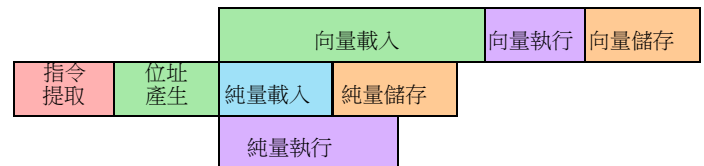


圖2 XM16執行管線在四向量模式，一組SP與四組VCU平行執行，並以另一組SP處理控制作業。在雙向量模式，DSP以雙對稱處理器方式作業。

動態可移動管道

DSP的指令執行管線說明如圖2。Ceva聲稱新款DSP的變數長度管線比XC12的14段管線高出甚多，且保留最大深度。依Ceva先前公佈的BX規範，純量運算以11段管線處理。與Ceva其他DSP相同，向量管線可對相同的向量數據執行載入、運算、儲存作業，以便盡量減少延遲。

在DV模式下，SP0及SP1可分別執行全純量/向量管線。在QV模式下，SP0用四組VCU執行全管線運算，SP1則只執行純量部分。此種配置使得SP1可完全用於處理PHY控制及類似作業及小的DSP運算。動態多線程功能可打破XC12及其它通用單核向量DSP的限制。由於該一設計只有一組CPU，向量單元在控制處理期間會被閒置。但XC16可用軟體重新指派VCU、提高利用率。

Ceva指定XC16的最大效能為每秒1.6兆次運算(GOPS)，

亦即XC12對一般FFT蝶式運算的峰值。對新款ISA，VA及VB單元每週期可執行64組radix-2 FFT蝶式運算，每組可包括四個16位元加、減、乘運算（合計12個）。VM單元每週期還可處理128個運算。亦即各VCU每週期可執行

896組運算（64個蝶式、每一蝶式12個運算，再加上每週期128個運算），在1.8GHz最大時脈時約為1600 個GOP。

領先優勢維持不墜

第四代XC架構支援車用傳感器、Wi-Fi存取點、其他信號處理作業，但Ceva的XC16專為5G網路基礎設施客戶設計。與Tier One供應商的關係，賦予Ceva維持大幅領先其他IP廠商的技術優勢。在本市場只有Cadence還有餘力與Ceva一拼高下：後者的目標是用去年的ConnX B10及B20打入市場（請參閱MPR 2019.11.03 出刊的「Cadence ConnX 傳感器及無線電」一文）

Cadence將ConnX B20定位於訊息傳送及5G數據機的其他低位元率作業。B20的頂級配置可與前一代的XC12媲美，但無法與XC16一爭高下，且B20的5槽128 位元VLIW架構，每週期只能進行128個16位元MAC，效能只有XC16

的一半。B20的記憶體介面每週期能執行512位元載入及512位元儲存，遠不如XC16的每週期兩個1024位元載入（或載入、儲存各一）。對高精度信號處理，B20可提供XC16沒有的向量FPU選配，但Ceva有計劃在後續更新中提供相同的產品。B20的純量內核效能與Ceva不相上下，但缺乏XC16可平行處理控制及數據面作業的多線程功能。

5G系統部署需要多相程序。藉由定期更新DSP產品系列，Ceva能領先3GPP排程提供新IP。為便於客戶從早期產品的轉換，Ceva提供可轉換從2013年之XC4500開始的早期DSP代碼的軟體（請參閱MPR 2013.02.11 出刊「Ceva集中火力與無線基礎設施」一文）此一轉換軟體同樣適用於XC12產品。除自行設計這個最大強項外，Ceva還持續為其產品架構增添多線程等新功能、提高效能及效率，絕對能夠長保其強大的市場地位。

其強大的市場地位。

請上網站www.linleygroup.com/mpr 或致電408-270-3772訂閱Microprocessor Report。